

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-101655
 (43)Date of publication of application : 05.04.2002

(51)Int.CI. H02M 3/28

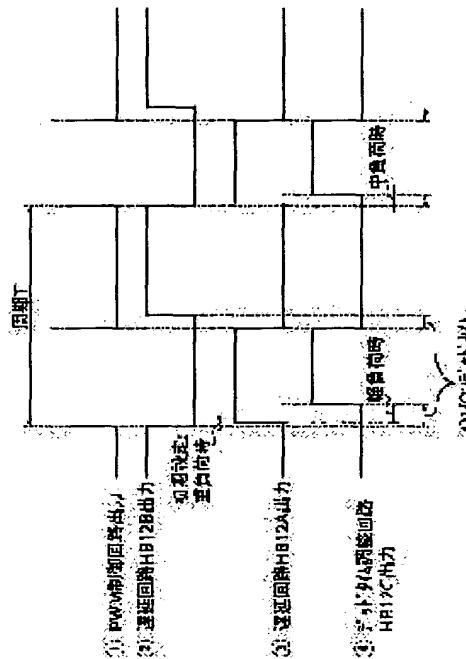
(21)Application number : 2000-291167 (71)Applicant : CANON INC
 (22)Date of filing : 25.09.2000 (72)Inventor : MIRUMACHI TAKASHI

(54) SWITCHING POWER SUPPLY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce switching loss and noise and improve the transmission efficiency of voltage by realizing zero voltage switching over the whole load range.

SOLUTION: In a switching power supply device having a partial resonant function for preventing power loss accompanying the switching operation of a switching element, a variable means varying the off period of the switching element is provided in response to the consumption power in the load, in the case that the consumption power load is small, the off period of the switching element is lengthened, and in the case that the consumption power is large, the off period of the switching element is shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-101655

(P2002-101655A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int. C1.7

H02M 3/28

識別記号

F I

H02M 3/28

テ-マコ-ド(参考)

Q 5H730

R

審査請求 未請求 請求項の数4

OL

(全11頁)

(21)出願番号 特願2000-291167(P2000-291167)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成12年9月25日(2000.9.25)

(72)発明者 美留町 隆

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100081880

弁理士 渡部 敏彦

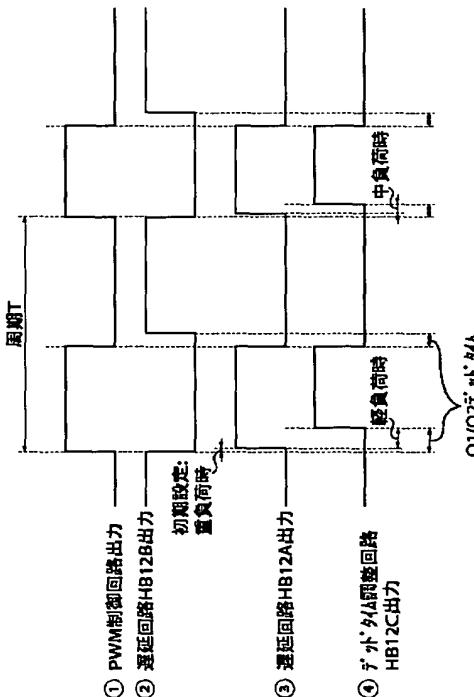
Fターム(参考) 5H730 AA01 AA14 AS01 AS13 BB23
BB57 BB65 DD04 DD42 EE03
EE08 EE72 FD01 FF01 FG05
XX05

(54)【発明の名称】スイッチング電源装置

(57)【要約】

【課題】 零電圧スイッチングを全負荷領域で実現できるようにして、スイッチング損失やノイズを低減すると共に、電圧の伝達効率を向上できるようにする。

【解決手段】 スイッチング素子のスイッチング動作に伴う電力損失を防止するための部分共振機能を有するスイッチング電源装置において、負荷の消費電力に応じて前記スイッチング素子のオフ期間を可変する可変手段を備え、負荷の消費電力が小さい場合は前記スイッチング素子のオフ期間を長くし、負荷の消費電力が大きい場合は前記スイッチング素子のオフ期間を短くする。



【特許請求の範囲】

【請求項1】スイッチング素子のスイッチング動作に伴う電力損失を防止するために主スイッチング素子とは別に、共振動作制御用副スイッチング素子を備える部分共振機能を有するスイッチング電源装置において、負荷の消費電力に応じて前記主・副両スイッチング素子の同時オフ期間（デッドタイム）を可変する可変手段を備えたことを特徴とするスイッチング電源装置。

【請求項2】前記可変手段は、負荷の消費電力が小さい場合は前記デッドタイムを長くし、負荷の消費電力が大きい場合は前記デッドタイムを短くすることを特徴とする請求項1記載のスイッチング電源装置。

【請求項3】PWM制御によるフォワードコンバータ型のスイッチング電源装置において、入力電源と直列に共振用インダクタ、トランスの1次巻線、主スイッチング素子をそれぞれ接続し、前記トランスの2次巻線に整流用ダイオード、還流用ダイオード、チョークコイル、及び平滑コンデンサを接続すると共に、

前記主スイッチング素子のドレインーソース間に並列に寄生若しくは独立した第1のコンデンサ及び逆並列に第1のダイオードを接続し、

前記主スイッチング素子には、さらに、副スイッチング素子を介して、前記第1のコンデンサよりも容量の大きな第2のコンデンサを並列に接続し、

前記副スイッチング素子のドレインーソース間に並列に寄生若しくは独立した第3のコンデンサ及び逆並列に第2のダイオードを接続し、

前記トランスの3次巻線と2次巻線は磁束の極性が同極性になるように一端を接続し、3次巻線の他端は、前記主スイッチング素子のオフ時に前記トランスに蓄積された励磁エネルギーを出力の正極性側に出力すると共に、入力側の回生電流を調整できるようにダイオードを接続し、

前記主スイッチング素子をオン・オフ制御する第1の制御信号と、その第1の制御信号のオン・オフ期間に対して、ある休止期間を設けるように前記副スイッチング素子をオン・オフ制御するための第2の制御信号を生成するPWM制御回路を設け、

前記第2の制御信号のタイミングを負荷の消費電力レベルに応じて可変させる制御回路を備えたことを特徴とするスイッチング電源装置。

【請求項4】前記スイッチング電源装置は、複写装置に搭載されていることを特徴とする請求項1～3の何れかに記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC-DCコンバータ等のスイッチング電源装置に関し、特にノイズ及びエネルギー損失の低減化技術に関する。

10

【0002】

【従来の技術】従来、電源装置としては、トランスとスイッチング素子を直列に接続し、スイッチング素子をオン／オフすることによって直流電圧を交流電圧に変換してトランスの1次巻線に与え、それによって2次側巻線に巻数比によって降圧された交流電圧を発生させ、それを整流・平滑することで直流電圧を得るスイッチングレギュレータが一般的に使用されており、図12に示す1石式のフォワードコンバータ回路などが知られている。

20

【0003】ここで、図12の1石式のフォワードコンバータについて説明すると、整流回路DB1が商用交流電源入力V_{ac}を整流する。整流回路DB1からの出力は、平滑用コンデンサC1により直流電圧V_{in}に平滑され、絶縁トランスTおよび半導体スイッチ素子Q1からなる直列回路に印加される。

【0004】また、絶縁トランスTの1次巻線L_pの両端にはダイオードD1、コンデンサC2、抵抗R1でされるリセット回路が接続されている。

20

【0005】絶縁トランスTの2次巻線には、一組の整流用ダイオードD_{s1}と環流用ダイオードD_{s2}が接続され、このダイオードD_{s1}とD_{s2}のカソードはそれぞれ接続されチョークコイルL_oを介して平滑コンデンサC₂の「+」側に接続される。また、コンデンサC₂の「-」側はダイオードD_{s2}のアノードと2次巻線の「-」側に接続され、これらの回路により2次側の整流・平滑回路が構成される。

【0006】次に、図12のフォワードコンバータの動作の概略を説明する。

30

【0007】半導体スイッチ素子Q1は、駆動信号に同期してオン／オフ駆動を行う。この駆動信号は、コンバータの直流出力電圧を監視しながら所望の一定電圧になるよう半導体スイッチ素子Q1のオン／オフの時比率を制御する一般的なPWM制御回路（図示しない）により生成される。

40

【0008】このPWM制御により、半導体スイッチ素子Q1を商用交流電源（50Hzまたは60Hz）より充分に高い周波数でスイッチングすることにより、スイッチ素子Q1がオンした期間のみ絶縁トランスTの1次巻線に直流入力電圧V_{in}が印加され、絶縁トランスTの2次巻線には巻線比応じた交流電圧が得られ、ダイオードD_{s1}、D_{s2}で整流されると共に、チョークコイルL_oと平滑コンデンサC₂で平滑され、平滑コンデンサC₂の端子間から所定電圧の直流出力が得られる。

【0009】また、スイッチ素子Q1がオフすると、オン期間に絶縁トランスTに蓄積された励磁エネルギーは、ダイオードD1、コンデンサC1、抵抗R1で構成されるリセット回路において、抵抗R1により熱エネルギーに変換されて消費され、サージ電圧を吸収することができる。

50

【0010】また、このときのPWM制御回路の最大デ

ュティは、このトランスTの励磁エネルギーがリセットされるまでの時間を考慮し、通常50%以下となるように設定されている。

【0011】

【発明が解決しようとする課題】このように、フォワードコンバータの場合には、絶縁トランスTの励磁エネルギー一分をリセットしないと、絶縁トランスTは飽和してしまうことになる。

【0012】しかしながら、従来のリセット回路であるCRD回路では、その励磁エネルギーを抵抗にて消費させてしまうため、エネルギーの損失が発生してしまう。

【0013】また、スイッチング素子により電圧を断続することで直流出力を得るスイッチング電源は、スイッチング素子のターンオン期間、及びターンオフ期間において電流と電圧の重なり合いが生じることで、これによる電力損失も生じている（図13参照）。

【0014】これらのエネルギー損失を無くすために、スイッチング素子に並列にコンデンサを接続し、ターンオフ時に共振動作でサージ電圧を吸収すると共に、コンデンサの両端電圧を緩やかに立ち上げてスイッチング損失を低減させ、その後、コンデンサに蓄積されたエネルギーを入力側へ回生させる部分共振型電源が提案されている。

【0015】この部分共振型電源は、図1に示すように補助スイッチQ2を介して、コンデンサCcVを主スイッチQ1と並列になるように接続し、主スイッチQ1のタイミングに対して、補助スイッチQ2のタイミングを図3のようすらすことで、励磁エネルギーをコンデンサCcVに1度蓄積した後、入力側に回生させるとともに、主スイッチQ1の両端電圧を零電圧にしてからスイッチングすることが可能となる。

【0016】この部分共振型電源の利点としては、①PWM制御が利用可能、②零電圧スイッチングによるスイッチングロス・ノイズの低減、③励磁エネルギーの回生による無効電力の低減等が挙げられる。特にPWM制御が可能な場合の利点としては、④安価なPWM制御用ICが利用可能、⑤駆動周波数が固定のためトランス設計が簡単でノイズ対策も容易といったことが挙げられる。

【0017】この部分共振型電源における電流の回生方法としては、その損失等を低減させるために、2次巻線と並列にインダクタを挿入するタイプや、3次巻線を利用するタイプ等各種提案がなされている。

【0018】しかし、図14に示すように、いずれの場合もフォワードコンバータで利用する場合には、2次側整流ダイオード部において、整流用ダイオード及び環流用ダイオードが同時に導通する期間が長くなるため、同じ入力電圧の場合には損失は低減されているにも拘らず、従来型の電源装置に比べて、電圧の伝達効率は悪くなってしまう。

【0019】また、通常のPWM制御を用いたフォワー

ドコンバータをそのまま部分共振型へ変更して利用する場合には、主スイッチ素子の最大デューティはリセット期間のために50%以下となっており、負荷電流が大きくなつた場合には、2次側へ電力を伝達するオン期間に流れる電流よりも、入力側へ回生時の電流の方が大きくなり、結果として、絶縁トランスがマイナス側で偏励磁に至つてしまう場合があった。

【0020】また、デューティ制限を解除できる場合でも、補助スイッチ素子の駆動タイミングは軽負荷時の回生電流による放電時間を考慮して決定されるため、複写機等のように負荷の大部分がモータ負荷であり、負荷変動範囲が非常に大きくなる機器に搭載された電源装置においては、結果としてデューティ制限がある場合と同様に、重負荷時のオフ期間における回生電流の方が大きくなり、偏励磁に至つてしまうため、負荷領域を絞って共振動作を行わせなければならず、零電圧スイッチの利点である低損失・低ノイズの効果が軽負荷時には生かせないという欠点があった。

【0021】上記のような電圧の伝達効率の低下、および、絶縁トランスの偏励磁等の原因是、従来のPWM制御型フォワードコンバタ回路を利用する場合に、最大駆動デューティを50%以下としている点にある。

【0022】また、入力側への励磁エネルギーを回生させる場合には、回生電流は負荷の状況によってその電流値が変わるために、主・副両スイッチ素子がオフとなる期間（デッドタイム）における共振コンデンサを放電させるまでの時間が、軽負荷時には長く、重負荷時には短くなる性質を持つ。

【0023】本発明は、このような背景の下になされたもので、その課題は、零電圧スイッチングを全負荷領域で実現できるようにして、スイッチング損失やノイズを低減すると共に、電圧の伝達効率を向上できるようにすることにある。

【0024】

【課題を解決するための手段】上記課題を解決するため、本発明は、主スイッチング素子とは別に、共振動作制御用の副スイッチング素子を備える部分共振機能を有するスイッチング電源装置において、負荷の消費電力に応じて前記主・副両スイッチング素子のオフ期間（デッドタイム）を可変する可変手段を備えている。

【0025】また、本発明では、前記可変手段は、負荷の消費電力が小さい場合は前記修復両スイッチング素子のデッドタイムを長くし、負荷の消費電力が大きい場合は前記主・副両スイッチング素子のデッドタイムを短くするように構成されている。

【0026】また、本発明は、PWM制御によるフォワードコンバータ型のスイッチング電源装置において、入力電源と直列に共振用インダクタ、トランスの1次巻線、主スイッチング素子をそれぞれ接続し、前記トランスの2次巻線に整流用ダイオード、還流用ダイオード、

チョークコイル、及び平滑コンデンサを接続すると共に、前記主スイッチング素子のドレンソース間に並列に寄生若しくは独立した第1のコンデンサ及び逆並列に第1のダイオードを接続し、前記主スイッチング素子には、さらに、副スイッチング素子を介して、前記第1のコンデンサよりも容量の大きな第2のコンデンサを並列に接続し、前記副スイッチング素子のドレンソース間に並列に寄生若しくは独立した第3のコンデンサ及び逆並列に第2のダイオードを接続し、前記トランスの3次巻線と2次巻線は磁束の極性が同極性になるように一端を接続し、3次巻線の他端は、前記主スイッチング素子のオフ時に前記トランスに蓄積された励磁エネルギーを出力の正極性側に出力すると共に、入力側の回生電流を調整できるようにダイオードを接続し、前記主スイッチング素子をオン・オフ制御する第1の制御信号と、その第1の制御信号のオン・オフ期間に対して、ある休止期間を設けるように前記副スイッチング素子をオン・オフ制御するための第2の制御信号を生成するPWM制御回路を設け、前記第2の制御信号のタイミングを負荷の消費電力レベルに応じて可変させる制御回路を備えている。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図1～図14に基づいて説明する。

【0028】図1は、本実施形態に係るスイッチング電源装置の概略構成を示す回路図であり、本電源回路は、フォワードコンバータを部分共振化させた回路である。

【0029】図1において、交流電源に接続された整流平滑回路で構成される直流電源Vinに、共振用インダクタLrと絶縁トランジスタの1次巻線Lpと主スイッチング素子Q1（ここではNチャンネル型MOS-FETとしている）が接続されている。

【0030】このスイッチング素子Q1は、等価的にダイオードD1と、コンデンサC1が接続される構成を持つ。すなわち、このダイオードD1は、主スイッチング素子Q1に内蔵されたダイオードであり、スイッチング素子Q1のソースードレン間に対して逆並列接続された形となっている。また、コンデンサC1は、主スイッチング素子Q1のドレンソース間に寄生容量を示すが、外付けのコンデンサを含んでもよい。

【0031】クランプ用のコンデンサCcvは、副スイッチング素子Q2（ここではNチャンネル型MOS-FETとしている）を介して、主スイッチング素子Q1と並列に接続されている。このクランプ用のコンデンサCcvは、主スイッチング素子Q1の両端に接続されたコンデンサC1よりも大きな静電容量となっている。副スイッチング素子Q2も主スイッチング素子Q1と同様に、ダイオードD2とコンデンサ（寄生容量）C2を内蔵している。

【0032】絶縁トランジスタの2次巻線Ls1は、整流用ダイオードDs1と環流用ダイオードDs2と、チョ

ークコイルLo及び平滑コンデンサCoからなる平滑回路を介して出力端子に接続され、出力端子間には負荷が接続される。

【0033】3次巻線Ls2は主スイッチング素子Q1のオフ期間にエネルギーを出力側へ伝達させるための巻線であり、2次巻線とは3次巻線は巻方向は同じで、2次巻線Ls1の巻終わりと3次巻線の巻始めとが接続されて、出力の「-」側へ接続されている。また、3次巻線の巻終わりはダイオードDs3を介して、チョークコイルLo'へ入力されている。この3次巻線Ls2に流れる電流は、チョークコイルLo'に流れる電流が連続となるように流れるため、出力される電流量に応じて変化し、重負荷時には大きく、軽負荷時には小さくなる。また、1次巻線に流れる電流も、3次巻線に流れる電流量に比例するため、重負荷時には入力側へ戻る電流が大きくなり、軽負荷時には小さくなる。

【0034】図2に示すように、スイッチング素子Q1、Q2をオン・オフ制御するための制御回路HB1は、主スイッチング素子Q1のオン期間を出力電圧に応じて調整するPWM制御回路部HB11と、前記PWM制御回路の出力信号に規定のデッドタイムを設ける遅延回路を備え、共振作用により主スイッチング素子Q1が零電圧となるタイミングを調整する共振制御回路HB12でされる。

【0035】スイッチング素子Q1のオン・オフ制御を行うPWM制御回路HB11は、次のようにして、オンデュティを決定する。まず、出力電圧検出Vs0により出力端子間の電圧を検出し、その出力は誤差増幅器22の一方の入力端子に入力される。誤差増幅器22のもう一方の入力端子は基準電圧Vrefに接続されており、出力電圧Voは電圧Vrefと比較され、電圧Voと基準電圧Vrefとの差に応じたが、誤差増幅器22からPWM制御回路HB11に入力される。PWM制御回路HI B11は、22の出力信号と三角波発生器OSC（図示しない）により発生される一定周期の三角波と比較器により、出力電圧に応じたオン期間をもつ駆動パルスが生成され、主スイッチング素子Q1を駆動するファイードバック制御が行われる。ここでは、このPWM制御回路HB11は、デッドタイムコントロール(DTC)端子を備えた、汎用的なPWM制御ICを用いており、DTC端子電圧により最大デュティ比が規定可能なものである。

【0036】次に、共振制御回路HB12の動作を説明する。

【0037】共振制御回路HB12は、PWM制御回路HB11で決定される主スイッチング素子Q1のオン・オフタイミングから、両スイッチング素子Q1、Q2がそれぞれオフする期間を生成するために、PWM制御回路HB11の出力信号が入力される。その入力された信号を元に、副スイッチング素子Q2のターンオフ時から主スイッチング素子Q1のターンオン時までの遅延時間を決定する遅延回路HB12Aと、主スイッチング素子Q1のターンオフ時

から副スイッチ素子Q2のターンオンまでの遅延時間を決定する遅延回路HB12Bによって、主スイッチ素子Q1のターンオン／オフに対するデッドタイムが決定されて、零電圧スイッチを行う。ここで遅延回路HB12Aによるデッドタイムの初期値は軽負荷時の放電時間に併せて最大に設定されており、負荷の状況に応じて、デッドタイムの幅を調整するためにデッドタイム調整回路HB12Cが接続されている。

【0038】図3の①～④に示す波形は、図2の①～④の各点の電圧波形を示したものである。PWM制御回路HB11からは図3の①に示すようなパルス出力が周期Tであるデューティ比をもって生成されており、このデューティ比は出力電圧が基準値よりも高くなると、破線で示すようにパルス幅が狭くなり、出力電圧が基準値よりも低くなるとパルス幅が広くなるようにデューティ比が調整される。これは一般的なPWM制御のスイッチングレギュレータの動作と同一である。

【0039】共振制御回路HB12においては、図3の①のパルス信号が入力され、遅延回路HB12Aでは、副スイッチ素子Q2のターンオン時遅延生成のために、①のパルス信号と、それをCR積分回路に入力させて得た出力信号との論理積をとる構成として図3の③のパルス信号を得る。同様に遅延回路HB12Bでは、副スイッチ素子Q2のターンオフ時遅延信号生成のために、①のパルス信号を反転させた信号とそれをCR積分回路に入力させて得た出力信号との論理積をとる構成として図3の②のパルス信号を得る。さらにデッドタイム調整回路HB12Cは遅延回路HB12Aの出力信号を入力信号とし、図3の④に示すように、複写機のシステム制御ソフトから出力される信号に応じて、デッドタイムを生成する回路であり、複写機側の駆動電力が大きくなる場合には信号レベルを大きく、駆動電力が小さくなる場合には信号レベルを小さくして入力されることで、負荷状況に応じたデッドタイムの調整を行う。

【0040】次に、図4、5を参照して図1の回路の動作を説明する。これらは、本件のデッドタイム調整回路HB12Cを付加していない場合の動作波形であるが、基本動作は同じためここで併せて説明する。

【0041】図4の波形は、軽負荷時の図1の各部の状態を示したものであり、図5の波形は重負荷時の図1の各部状態を示したものである。

【0042】図1の回路の動作は、図4・5に示すように、軽負荷時と重負荷時では少々異なる部分もあるが、t0～t12の区間に分けて説明できる。各区間での等価回路を図6に示す。

(1) t0～t1:

条件 $i_{1p}(t0) = 0, i_{ds2}(t1) = 0$

この区間においては、主スイッチ素子Q1が駆動パルス信号に応じてオン状態となっており、副スイッチ素子Q2はオフ状態となっている。このとき2次側の整流用ダ

イオードDs1、及び環流用ダイオードDs2はオン状態となっており、トランスTの3次巻線Ls2はダイオードDs3とチョークコイルLo'、及びコンデンサCoで構成される閉回路を構成し、3次巻線Ls2の漏れインダクタ、または外付けのインダクタ（チョークコイルLo'）によりダイオードDs3に流れている電流は慣性により流れ、3次巻線Ls2の巻始め側に電流が流れ込んでいる状態である。

【0043】1次巻線Lpの電流は、共振用インダクタLrとトランスTの1次巻線Lpの漏れインダクタLp1と3次巻線Ls2に流れる電流により決定される。

【0044】(2) $t1 \sim t2$

条件 $i_{ds2}(t1) = 0, i_{ds3}(t2) = 0$
この区間では、整流用ダイオードDs1に流れる電流が、平滑コイルLoに流れる電流に達し、環流用ダイオードDs2がオフ状態となる。また、ダイオードDs3の導通期間は負荷電流の状態により変化するが、この電流が「0」となる時間をt2とする。

【0045】この期間は2次巻線Lsから負荷へ出力される電流は、1次巻線Lpに流れる電流（巻始め側に流れ込む電流）を巻線換算した電流と、3次巻線Ls2の巻始め側に流れ込む電流の和となっている。

(3) $t2 \sim t3$

条件 $i_{ds3}(t2) = 0, t3 : Q1 = \text{オフ}$
この区間は通常のフォワードコンバータと同じ状態となる。1次巻線に流れる電流は、2次巻線Ls2から整流ダイオードDs1を介して、チョークコイルLo、コンデンサCoに流れる電流に比例する。

(4) $t3 \sim t4$

条件 $t3 : Q1 = \text{オフ}, V_{ds}(t4) = V_{in}$
スイッチ素子Q1がオフすると、1次巻線Lpに流れている電流はその慣性により流れ続け、並列に接続されているコンデンサC1の充電を開始する。

【0046】このとき、コンデンサC1は共振用インダクタLrとトランスTの1次巻線Lpに並列に接続されるため、共振用インダクタLrと1次巻線Lpにより共振が生じ、コンデンサC1の電圧、つまり主スイッチ素子Q1のドレイン－ソース間両端電圧Vdsが零から正弦波状に立ち上る。ここで、主スイッチ素子Q1に流れる電流は零であり、両端電圧も零から立ち上がるため、ターンオフ時における電流・電圧が重なる部分がなく損失が発生しない。

(5) $t4 \sim t5$

条件 $V_{ds}(t4) = V_{in}, V_{ds}(t5) = V_{CCV}$
t3でコンデンサC1が充電開始され、その電圧が入力電圧Vinと同じになると、トランスTの1次巻線Lpに印加される電圧は零となり、2次側の環流用ダイオードDs2とダイオードDs3が導通状態となる。このとき整流用ダイオードDs1も引き続き導通状態のため、

2次側巻線L_s2はショート状態となる。

【0047】ここで、1次側回路のコイル（共振用インダクタL_r、1次巻線L_pのリーケージインダクタなど）に残留しているエネルギーは引き続き、コンデンサC₁の充電を続けるが、トランストの2次巻線L_s2はショート状態のため、コンデンサC₁は共振用インダクタL_rとの共振状態となり、その電圧がクランプコンデンサC_cvの両端電圧V_cc_vに達するまでコンデンサC₁への充電が行われる。

(6) t₅～t₆

条件 v_{ds}(t₅) = V_cc_v、 t₆ : Q₂ = オン
t₅においてコンデンサC₁の充電電圧が、クランプ用コンデンサC_cvの電圧よりも大きくなるとダイオードD₂が導通状態となり、クランプ用コンデンサC_cvの充電を開始する。ここで、クランプ用コンデンサC_cvは、コンデンサC₁に比して十分に大きな値としてあるため、コンデンサC₁の充電電圧、すなわち主スイッチ素子Q₁の両端電圧v_{ds}は、ほぼ一定電圧でクランプされる。

(7) t₆～t₇

条件 t₆ : Q₂ = オン、 i_{Lp}(t₇) = 0
t₆において、副スイッチ素子Q₂がオン状態へ移行すると、ダイオードD₂はオフ状態となる。

【0048】このとき、1次側各コイルに残留しているエネルギーは、引き続き副スイッチ素子Q₂を介してクランプ用コンデンサC_cvに導入されて、各コイルに蓄積されていたエネルギーが全てクランプ用コンデンサC_cvに移り、1次巻線L_pに流れる電流が零となる時間をt₇とする。

【0049】(8) t₇～t₈

条件 i_{Lp}(t₇) = 0、 i_{ds1}(t₈) = 0
t₇において、1次側の各コイルに蓄積されたエネルギーが、全てクランプ用コンデンサC_cvへ移行しきると、クランプ用コンデンサC_cv、共振用インダクタL_rの共振作用により、入力側へのエネルギーの回生が開始される。

(9) t₈～t₉

条件 i_{ds1}(t₈) = 0、 t₉ : Q₂ = オフ
t₈において、整流ダイオードD_s1がオフ状態へ移行すると、3次巻線L_s2から負荷へ電力供給が開始され、1次側の入力側への回生電流量もその供給電力レベルに比例する形で変化し、副スイッチ素子Q₂がオフとなる時間t₉まで、1次側の回生電流は時間と共に増加する。

【0050】(10) t₉～t₁₀

条件 t₉ : Q₂ = オフ、 V_{ds}(t₁₀) = V_{in}
t₉において副スイッチ素子Q₂がオフすると、1次側に流れている回生電流は、共振用インダクタL_rの慣性により引き続き入力側へ流れようとするため、主スイッチ素子Q₁と並列に接続されたコンデンサC₁に蓄積さ

れたエネルギーを引き抜き、その電圧レベルを低下させる。

【0051】ここで、コンデンサC₁、1次巻線L_p、共振用インダクタL_rは直列接続となり、共振回路を形成する。

【0052】コンデンサC₁に蓄積されたエネルギーが、入力側へ回生され、その両端電圧が入力電圧と同じになると、トランストの2次巻線L_s2に接続された整流ダイオードD_s1が導通を開始する。

10 【0053】(11) t₁₀～t₁₁

条件 v_{ds}(t₁₀) = V_{in}、 v_{ds}(t₁₁) = 0

t₁₀において、コンデンサC₁の電圧、つまり主スイッチ素子Q₁の両端電圧v_{ds}がV_{in}に達して、2次側の整流ダイオードD_s1、及び還流ダイオードD_s2が導通し、トランストがショート状態となると、コンデンサC₁と共振用インダクタL_rでの共振状態となり、主スイッチ素子Q₁の両端電圧v_{ds}の電圧低下が進み、零電圧となるまで放電が行われる。

20 (12) t₁₁～t₁₂

条件 v_{ds}(t₁₁) = 0 t₁₂ : Q₁ = オン

この期間は、コンデンサC₁が放電され零電圧となってから、主スイッチ素子Q₁がオンするまでの休止期間である。これにより、主スイッチ素子Q₁がターンオンする場合にも、その両端電圧が零の状態で行われるために損失が発生しない。

30 【0054】従来は、この休止期間を軽負荷時にあわせて設定していたために、図4～7で示すように、重負荷時には電力伝達に寄与しない期間ができてしまい、結果として、最大オン期間が制限され、重負荷時の出力電圧低下や、電圧の伝達効率の低下を招いていた。

【0055】本実施形態では、この休止期間を最小とするため、駆動シーケンスがソフトにより逐次制御されている機器の負荷の駆動タイミングと電力量から、電源装置側へ電力量に応じた制御信号を与えることで、デッドタイム調整回路H_B12Cにより休止期間の調整を行う構成となっており、機器の消費電力が小さい場合にはデッドタイムを広くし、図4～5の状態とし、消費電力が大きい場合には、デッドタイムを狭くし、図6～7の波40 線で示す位置でスイッチ素子Q₁をオンさせるように調整をおこなう。

【0056】以上により、主スイッチ素子Q₁のターンオン、及びターンオフ時において、零電圧スイッチングを可能とし、かつ、最大オン期間を可変とすることで、重負荷時における電圧低下や、オフ期間が長くなりすぎることで生じるトランストの偏励磁を防止することができる。

【0057】なお、本実施形態は、機器側からデッドタイム調整用の制御信号を与える構成としているが、出力電力を監視する回路を設けることで、電源装置単体での

最適制御も可能である。

【0058】

【発明の効果】以上説明したように、本発明によれば、主スイッチ素子とは別に、共振制御用の補助スイッチ素子を用いた部分共振機能を有するスイッチング電源装置において、負荷の消費電力に応じた最適なデッドタイム制御を行うことで、電源効率を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したスイッチング電源装置の概略構成を示す回路図である。

【図2】図1における制御回路の構成を示すブロック図である。

【図3】図2の制御回路の駆動信号を示すタイミングチャートである。

【図4】軽負荷時の動作波形を示す図である。

【図5】図4の部分拡大図である。

【図6】重負荷時の動作波形を示す図である。

【図7】図6の部分拡大図である。

【図8】図4～7に示した期間t0～t3における図1の電源装置の等価回路を示す図である。

【図9】図4～7に示した期間t3～t6における図1の電源装置の等価回路を示す図である。

10

【図10】図4～7に示した期間t6～t9における図1の電源装置の等価回路を示す図である。

【図11】図4～7に示した期間t9～t12における図1の電源装置の等価回路を示す図である。

【図12】従来のフォワードコンバータの回路図である。

【図13】従来の通常のフォワードコンバータの動作波形を示す図である。

【図14】従来の部分共振型のフォワードコンバータの動作波形を示す図である。

【符号の説明】

Vin…入力電源

Ccv…クランプ用コンデンサ

Q1…主スイッチ素子

Q2…副スイッチ素子

D1, D2…スイッチ素子の寄生、若しくは外付けダイオード

C1, C2…の寄生、若しくは外付けコンデンサ

HB1…制御回路

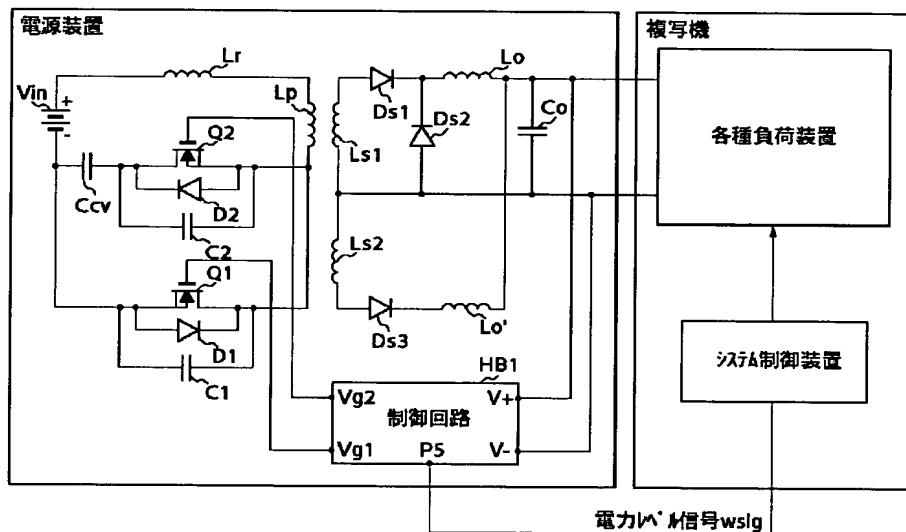
HB11…PWM制御回路

HB12…共振制御回路

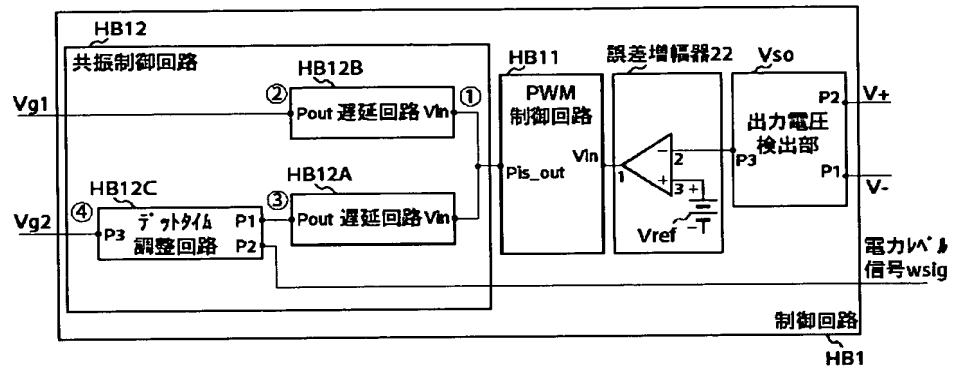
HB12A, HB12B…遅延回路

HB12C…デッドタイム調整回路

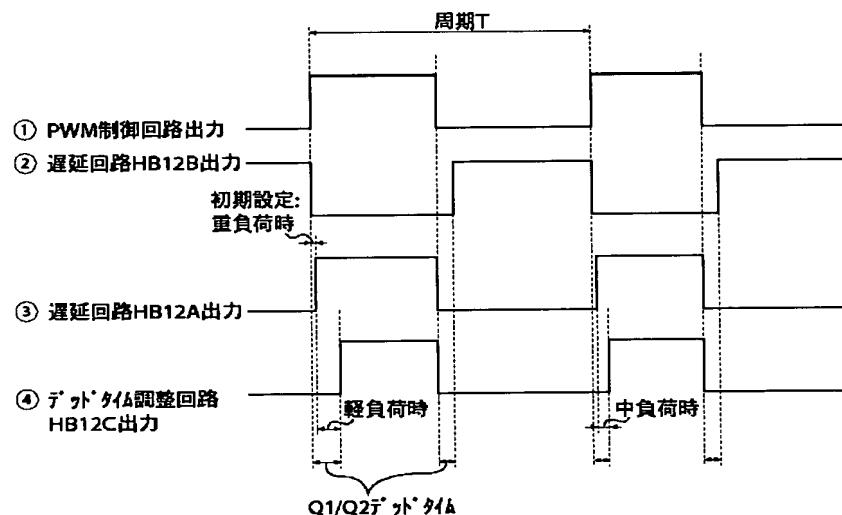
【図1】



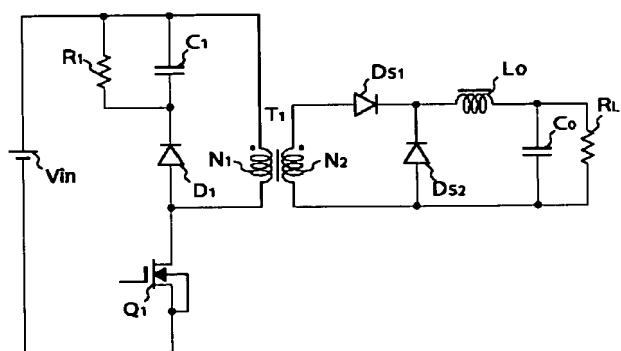
【図2】



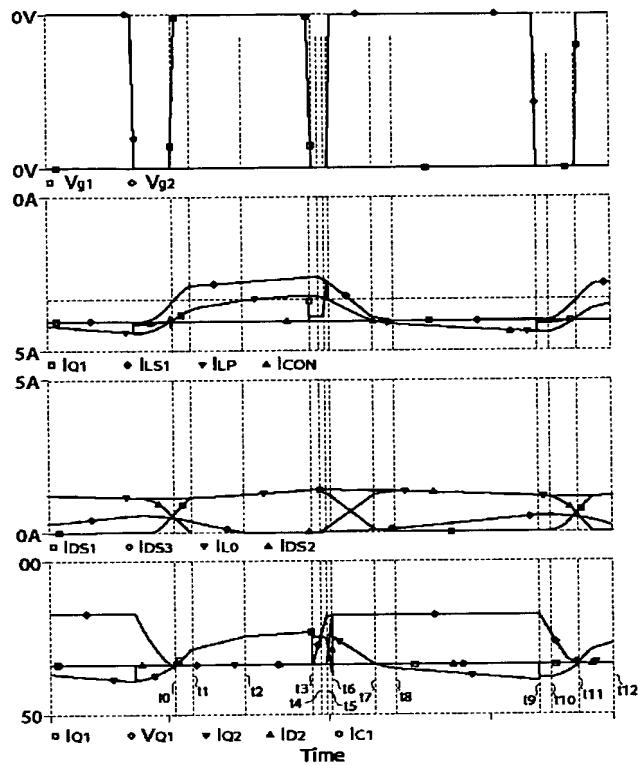
【図3】



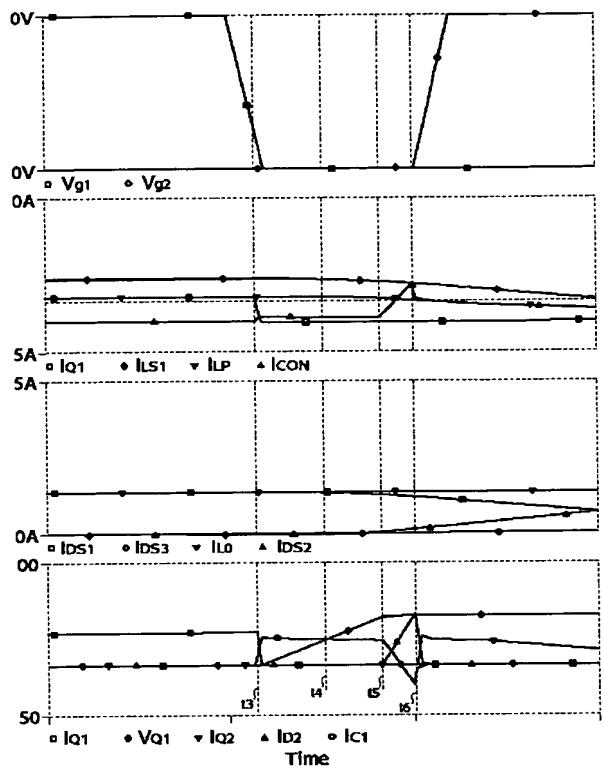
【図12】



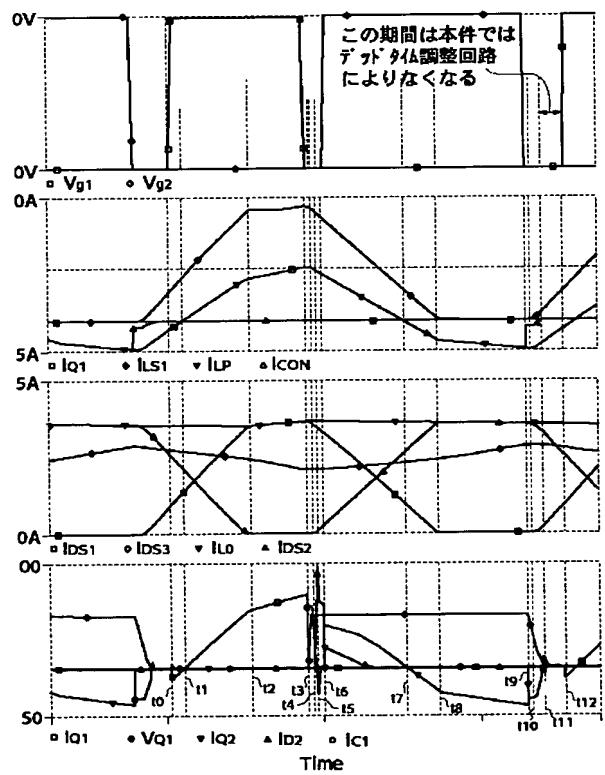
【図4】



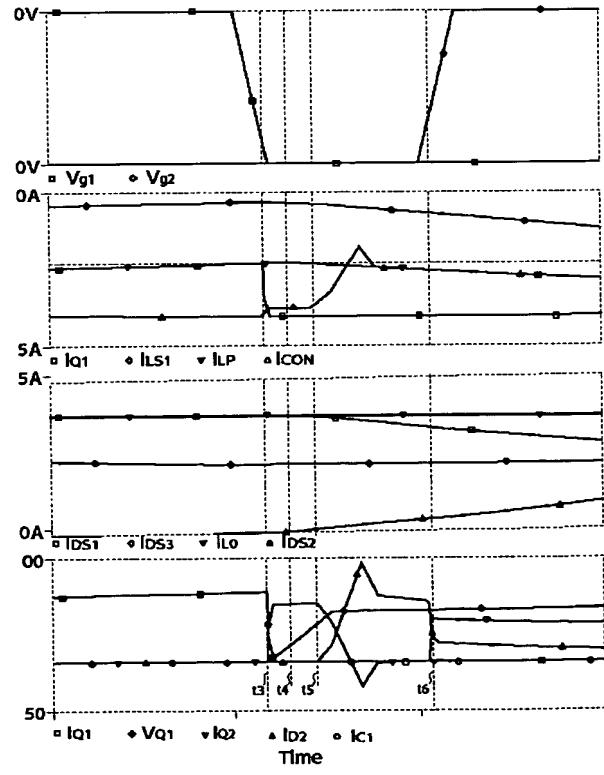
【図5】



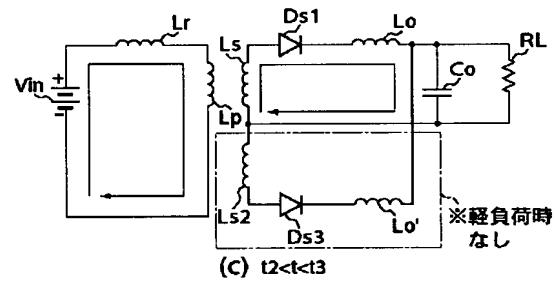
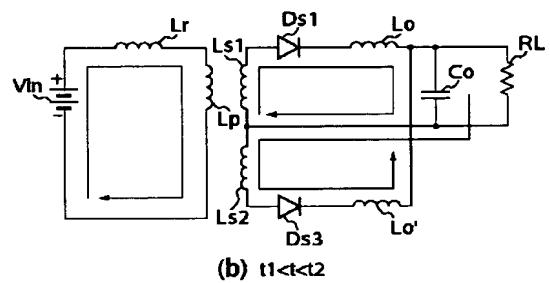
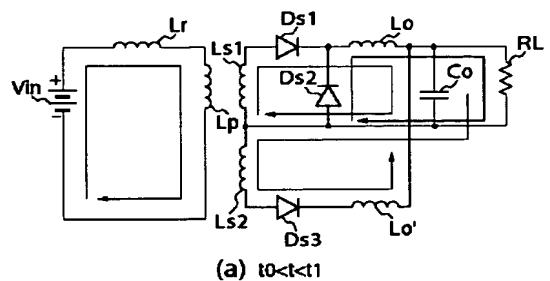
【図6】



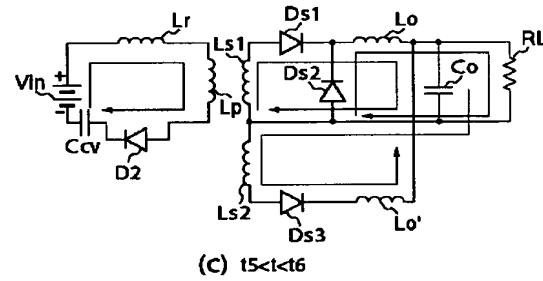
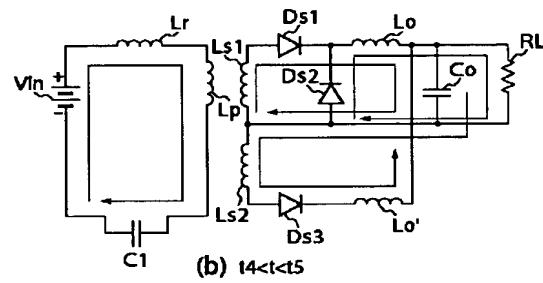
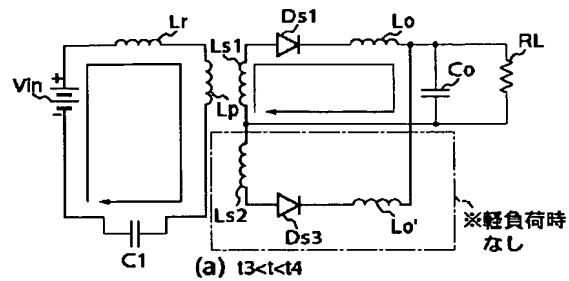
【図7】



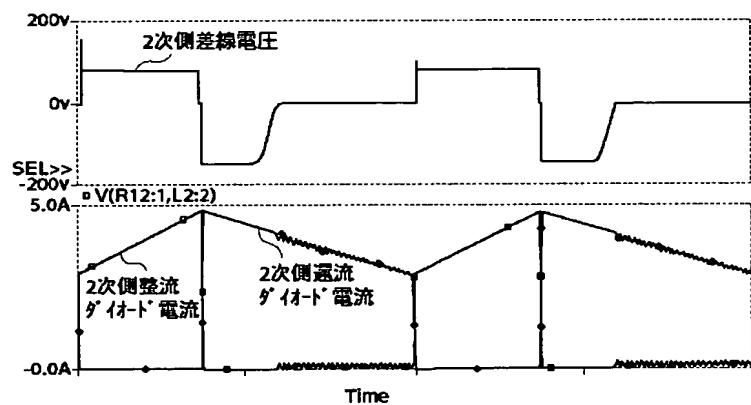
【図8】



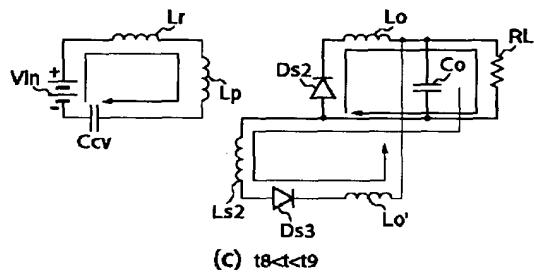
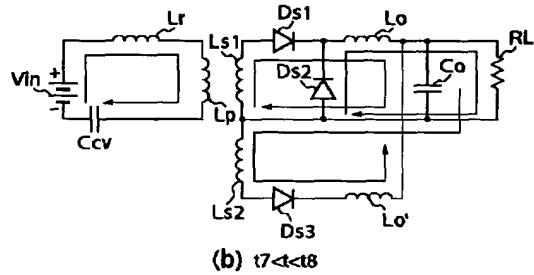
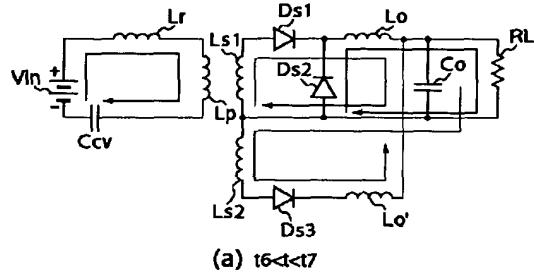
【図9】



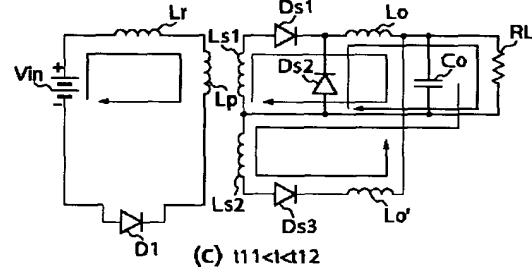
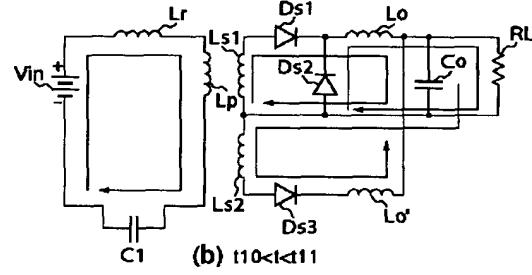
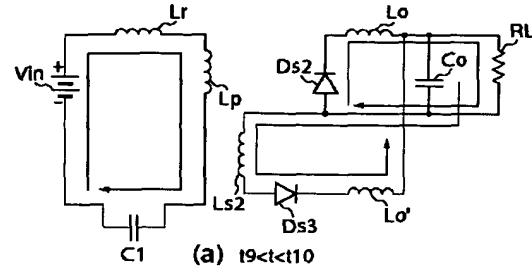
【図13】



【図10】



【図11】



【図14】

